

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Kazuhiro NAKAJIMA et al.

Conf.:

Appl. No.:

Group:

Filed: July 24, 2003

Examiner:

Title: PRODUCTION PROCESS FOR PRODUCING
SEMICONDUCTOR DEVICES, SEMICONDUCTOR
DEVICES PRODUCED THEREBY, AND TEST
SYSTEM FOR CARRYING OUT YIELD-RATE TEST
IN PRODUCTION OF SUCH SEMICONDUCTOR
DEVICES

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 24, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|--------------------|
| JAPAN | 2002-279397 | September 25, 2002 |

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月25日

出 願 番 号

Application Number:

特願2002-279397

[ST.10/C]:

[JP2002-279397]

出 願 人

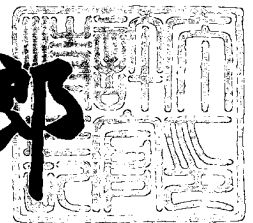
Applicant(s):

NECエレクトロニクス株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028430

【書類名】 特許願
 【整理番号】 71110548
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
 本電気株式会社内

【氏名】 中嶋 和広

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
 本電気株式会社内

【氏名】 神庭 康二

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびそのテスト方法

【特許請求の範囲】

【請求項 1】 n 層 (n は自然数) の配線層を有する半導体集積回路であって、前記 n 層配線層以下の m 層配線層 (m は自然数) の工程段階で前記半導体集積回路のウェハ試験をする時、前記 m 層配線層の工程段階でプロービングするための前記 m 層配線層で構成された第 1 のパッドを有し、かつ、前記 n 層の工程完了時に、前記ウェハを試験する時、前記 n 層配線の工程段階でプロービングするための前記 n 層配線層で構成された第 2 のパッドを有し、前記第 1 のパッドと前記第 2 パッドが、前記半導体集積回路のパッド領域では、電氣的に非接続であることを特徴とする半導体集積回路。

【請求項 2】 半導体集積回路チップに搭載する回路を全て配置および配線パターンニングせず、前記半導体集積回路チップとして使用するメタル配線層の製造工程の途中段階のメタルパターンニング段階で、テストプローブポイントを形成する第 1 のステップと、

前記メタル配線層の最上層までパターンニングされていない段階で、前記第 1 のステップで設けたプローブポイントを使用して、前記半導体集積回路チップのウェハ試験をする第 2 のステップと、

前記第 2 のステップの試験の歩留りに応じてウェハの分別する第 3 のステップと、

歩留りの悪いウェハは廃棄するか、または製造工場へ返却する第 4 のステップと、

最終配線層までパターンニングし、最終ウェハテストを実施する第 5 のステップとを備えることを特徴とした半導体集積回路のテスト方法。

【請求項 3】 前記第 2 のステップで良品となったチップに印をつけ記録する第 6 のステップを備える請求項 2 記載の半導体集積回路のテスト方法。

【請求項 4】 前記第 2 のステップで良品となったチップの場所を電子データで記録する第 7 のステップを備える請求項 2 記載の半導体集積回路のテスト方法。

【請求項 5】 前記第 5 のステップでは、前記第 6 のステップで良品となったチップのみの最終ウェハテストを実施する請求項 3 記載の半導体集積回路のテスト方法。

【請求項 6】 前記第 5 のステップでは、前記第 7 のステップで良品となったチップの場所に基づいて、最終ウェハテストを実施する請求項 4 記載の半導体集積回路のテスト方法。

【請求項 7】 n 層 (n は自然数) の配線層を有する半導体集積回路のテスト方法であって、前記 n 層配線層以下の m 層配線層 (m は自然数) の工程段階で前記半導体集積回路のウェハ試験をする時、前記 m 層配線層の工程段階でプロービングするための前記 m 層配線層で構成されたテストプローブポイントを形成し、前記テストプローブポイントに対して、前記半導体集積回路のユーザー回路のカスタマイズ前の歩留まり試験を行なう半導体集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路およびそのテスト方法に関し、特に、メタル拡散工程の途中段階で、ウェハを試験するテスト手法及びテスト時に接続するパッドと全ての工程完了時に使用するパッドの層を変更し、パッドクラックによる信頼性劣化を防ぐ半導体集積回路およびそのテスト方法に関する。

【0002】

【従来の技術】

図 9 (a) および図 9 (b) を参照すると、従来の半導体集積回路 400 は、ユーザー回路構成領域 101 と、ユーザー回路構成領域 101 内の最外郭に設けられた I/O 領域 (413、414、415) と、I/O 領域 (413、414、415) から配線 (403、404、405) を介して、外部に信号を接続するパッド (402) を有する。

そして、この従来の半導体集積回路 400 は、ユーザー回路構成領域 101 をカスタマイズする前に、最上層のメタル層をパターニングしてテストストロブポイント (404) を形成している。

また、チップ配置に関しては、チップ面積削減のため、テストストロブポイント（４０４）用のパッドは、製品段階で試験する時のパッド（４０２）と違う場所（例えばスクラブ線領域）に設けられている。

【０００３】

最上層メタルをパターニングしてテストストロブポイント（４０４）を形成した後、レジストを再塗布して同じ最上層メタルをパターニングしてカスタマイズを行う。また、チップ上には、スクライブ線に設置すべき、アライメントマーク、チェックトランジスタなどを配置している。

【０００４】

このような半導体集積回路およびそのテスト方法は、例えば、特許文献１に開示されている。

【０００５】

【特許文献１】

特開昭６２－１８３１３５号公報（１８６頁、第１図、第２図、第３図）

【０００６】

【発明が解決しようとする課題】

しかしながら、最上層メタルをパターニングしてテストストロブポイントを形成した後、レジストを再塗布して同じ最上層メタルをパターニングしてカスタマイズを行なっているため、カスタマイズ工程にて最上層メタルの加工段差が生じ、製造不良が生じ易くなるという問題がある。

すなわち、加工段差が生じているウェハー面にレジストを塗布すると、フォトレジストの膜厚にバラツキが生じるため、ステッパーによる露光後のレジストの加工精度にバラツキが生じ製造不良の要因となるためである。

また、従来は、メタル拡散途中段階で試験する時のパッドは、製品段階で試験する時のパッドと違う場所に設けられているため、メタル拡散途中段階の試験時のパッドにより、面積増加するという問題もある。

【０００７】

したがって、本発明の目的は、上記問題を解決した提案することである。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の半導体集積回路は、 n 層（ n は自然数）の配線層を有する半導体集積回路であって、前記 n 層配線層以下の m 層配線層（ m は自然数）の工程段階で前記半導体集積回路のウェハ試験をする時、前記 m 層配線層の工程段階でプロービングするための前記 m 層配線層で構成された第1のパッドを有し、かつ、前記 n 層の工程完了時に、前記ウェハを試験する時、前記 n 層配線の工程段階でプロービングするための前記 n 層配線層で構成された第2のパッドを有し、前記第1のパッドと前記第2のパッドが、前記半導体集積回路のパッド領域では、電氣的に非接続の構成である。

【 0 0 0 9 】

また、本発明の半導体集積回路のテスト方法は、半導体集積回路チップに搭載する回路を全て配置および配線パターンニングせず、前記半導体集積回路チップとして使用するメタル配線層の製造工程の途中段階のメタルパターンニング段階で、テストプローブポイントを形成する第1のステップと、前記メタル配線層の最上層までパターンニングされていない段階で、前記第1のステップで設けたプローブポイントを使用して、前記半導体集積回路チップのウェハー試験をする第2のステップと、前記第2のステップの試験の歩留りに応じてウェハーの分別する第3のステップと、歩留りの悪いウェハーは廃棄するか、または製造工場へ返却する第4のステップと、最終配線層までパターンニングし、最終ウェハテストを実施する第5のステップとを備える。

【 0 0 1 0 】

またさらに、本発明の半導体集積回路のテスト方法は、さらに、前記第2のステップで良品となったチップに印をつけ記録する第6のステップを備える。

【 0 0 1 1 】

また、本発明の半導体集積回路のテスト方法は、さらに、前記第2のステップで良品となったチップの場所を電子データで記録する第7のステップを備える。

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照して本発明の半導体集積回路およびそのテスト方法の実施の形態について説明する。

【 0 0 1 3 】

図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路のテスト方法の構成を示した図である。

【 0 0 1 4 】

図 1 を参照すると、本発明の第 1 の実施の形態に係る半導体集積回路のテスト方法は、まず、ステップ S 1 1 において、製品として使用するメタル配線層の途中段階のメタルパターニング段階で、テストプローブポイントを形成する。この段階でチップに搭載する回路を全てパターニングはされていない。

【 0 0 1 5 】

次に、ステップ S 1 2 において、最上層のメタルまでパターニングされていない段階で、ステップ S 1 で設けたプローブポイントを使用して、ウェハーを試験する。

【 0 0 1 6 】

ステップ S 1 3 において、ステップ S 1 2 の試験の歩留りに応じてウェハーの分別をする。本実施の形態では、ステップ S 1 4 において、歩留りの悪いウェハーは廃棄するか、または製造工場へ返却する。

【 0 0 1 7 】

次に、ステップ S 1 5 において、歩留まりの良いウェハーに対して、テストプローブポイント形成のメタル層より上位のメタル層のカスタマイズをする。

【 0 0 1 8 】

次に、ステップ S 1 6 において、メタル層のカスタマイズをしたウェハーの歩留まりテストをする。

【 0 0 1 9 】

最後に、ステップ S 1 7 において、ステップ S 1 6 の試験の歩留りに応じてウェハーの分別をする。

【 0 0 2 0 】

次に、本発明の第 2 の実施の形態に係る半導体集積回路のテスト方法について

、説明する。図 2 は、本発明の第 2 の実施の形態に係る半導体集積回路のテスト方法の構成を示した図である。

【 0 0 2 1 】

図 2 を参照すると、本発明の第 2 の実施の形態に係る半導体集積回路のテスト方法は、ステップ S 1 1 からステップ S 1 4 までは、本発明の第 1 の実施の形態に係る半導体集積回路のテスト方法と同一ステップである。

【 0 0 2 2 】

次に、本発明の第 2 の実施の形態に係る半導体集積回路のテスト方法は、ステップ S 2 5 において、ステップ S 1 2 で良品となったチップに印をつけ記録するか、または、良品チップの場所を電子データ等で記録する。このとき、ウェハー上マッピングを作成しても良い。

【 0 0 2 3 】

次に、ステップ S 2 6 において、テストプローブポイント形成のメタル層より上位のメタル層のカスタマイズをする。

【 0 0 2 4 】

次に、ステップ S 2 7 において、ステップ S 2 5 において選別したウェハーの良品チップに対して、ウェハーの歩留まりテストをする。この時、ステップ S 1 2 でフェイルしたチップは、ステップ S 2 5 の記録にしたがって試験をしない。

【 0 0 2 5 】

最後に、ステップ S 2 8 において、ステップ S 2 7 の試験の歩留りに応じてウェハーの分別をする。

【 0 0 2 6 】

次に、本発明の第 3 の実施の形態に係る半導体集積回路について説明する。

【 0 0 2 7 】

図 3 (a) および図 3 (b) は、本発明の第 3 の実施の形態に係る半導体集積回路の構成を示した模式図である。

【 0 0 2 8 】

図 3 (a) および図 3 (b) 図 3 を参照すると、本発明の第 3 の実施の形態に係る半導体集積回路 1 0 0 は、5 層メタル配線構造の L S I で、3 層メタルまで

パターニングした段階で、3層メタル配線を使用してテストプローブポイント102を形成している。

【0029】

すなわち、本発明の第3の実施の形態に係る半導体集積回路100は、ユーザー回路構成領域101と、ユーザー回路構成領域101内の最外郭に設けられたI/O領域(113、114、115)と、I/O領域(113、114、115)から3層配線(103、104、105)を介して、外部に信号を接続するパッド(102)を有する。

【0030】

そして、本発明の第3の実施の形態に係る半導体集積回路100は、ユーザー回路構成領域101をカスタマイズする前に、3層メタル配線を使用してテストプローブポイント102を形成している。

【0031】

図5は、この段階で、I/Oバッファ部(113、114、115)およびパッド部102を断面的に見た模式図である。図5に示すように、本発明の第3の実施の形態に係る半導体集積回路100は、テストプローブ120からパッド部102、配線103およびVIAホール116を介して、I/Oバッファ部(113、114、115)に信号を入出力し、ウェハのチップを試験する構成である。

【0032】

図4(a)および図4(b)は、本発明の第3の実施の形態に係る半導体集積回路の別の構成を示した模式図で、全ての5層メタルまでパターニング完了したレイアウト図である。

【0033】

図4(a)および図4(b)を参照すると、本発明の第3の実施の形態に係る半導体集積回路100は、ユーザー回路構成領域101と、ユーザー回路構成領域101内の最外郭に設けられたI/O領域(113、114、115)と、I/O領域(113、114、115)から5層配線(203、204、205)を介して、外部に信号を接続するパッド(202)を有する。

【 0 0 3 4 】

そして、本発明の第 3 の実施の形態に係る半導体集積回路 1 0 0 は、ユーザー回路構成領域 1 0 1 をカスタマイズし、5 層メタル配線を使用してパッド 2 0 2 を形成している。

【 0 0 3 5 】

図 6 は、この段階で、I/O バッファ部 (1 1 3、1 1 4、1 1 5) およびパッド部 2 0 2 を断面的に見た模式図である。図 6 に示すように、本発明の第 3 の実施の形態に係る半導体集積回路 1 0 0 は、テストプローブ 2 2 0 からパッド部 2 0 2、配線 2 0 3 および V I A ホール 2 1 6 を介して、I/O バッファ部 (1 1 3、1 1 4、1 1 5) に信号を入出力し、ウェハのチップを試験する構成である。

【 0 0 3 6 】

パッド部では、3 層のテスト用プローブパッド (1 0 2) と 5 層のパッド 2 0 2 とは、電氣的に接続されていない。

【 0 0 3 7 】

図 1 のステップ S 1 1 の段階で、図 3 に示すレイアウト図のように、製品として使用するメタル配線層 (この実施の形態では 5 層配線層) の途中段階のメタルパターンニング段階 (この実施の形態では 3 層配線層) で、テストプローブポイントを形成する。この段階でチップに搭載する回路は、全てのパターンはパターンニングはされていない。

【 0 0 3 8 】

次に、ステップ S 1 2 で、最上層のメタルまでパターンニングされていない段階で、ステップ S 1 1 で設けたプローブポイントを使用して、ウェハーを試験する。ステップ S 1 3 で、ステップ S 1 2 の試験の歩留りに応じてウェハーの分別する。本実施の形態では、歩留りの悪いウェハーは廃棄するか、または製造工場へ返却する。ステップ S 2 5 で、ステップ S 1 3 で良品となったチップに印をつけ記録するか、または、良品チップの場所を電子データ等で記録する。

【 0 0 3 9 】

ステップ S 2 6 で、図 4 に示すように、最終配線層までパターンニングし、最終

ウェハテストを実施する。この時、図 6 に示すようにパッド部では、最終配線層のパッドとメタル配線層の途中段階のメタルパターニング段階でのテスト用 3 層パッドは電氣的に接続されていない。

【 0 0 4 0 】

次に、本発明の第 4 の実施の形態に係る半導体集積回路について説明する。

【 0 0 4 1 】

図 7 (a) および図 7 (b) は、本発明の第 4 の実施の形態に係る半導体集積回路の構成を示した図である。

【 0 0 4 2 】

図 7 (a) および図 7 (b) を参照すると、本発明の第 4 の実施の形態に係る半導体集積回路 3 0 0 は、全ての 5 層メタルまでパターニング完了したレイアウト図で、テスト用 I / O バッファ (3 1 4) を 5 層配線 3 0 4 で、高電位電源線 VDD または接地電位線 GND に接続し、通常に使用する I / O バッファ (3 1 3) を 5 層配線 3 0 3 介して、5 層パッド 3 0 2 に接続し、同様な通常に使用する I / O バッファ (3 1 5) を 5 層配線 3 0 5 介して、5 層パッド 3 0 2 に接続している。

【 0 0 4 3 】

したがって、本発明の第 4 の実施の形態に係る半導体集積回路 3 0 0 は、3 層配線段階のパッドで接続している I / O バッファと 5 層配線段階で接続している I / O バッファが異なるため、I / O 部も含めて、全く 3 層と 5 層は電氣的に接続されていない。

【 0 0 4 4 】

そのため、メタルパターニング途中段階のパッドの損傷による吸水等の劣化が、全ての 5 層メタルまでパターニング完了した段階で、アルミを通じて 5 層パッドへ伝わらない効果が得られる。

【 0 0 4 5 】

【発明の効果】

以上の説明のように、本発明は、最上層でないメタルをパターニングしてテストプローブポイントを形成し、このテストプローブポイントに対して（ユーザー

回路のカスタマイズ前の) 歩留まり試験する。

【0046】

かつ、全層のメタルをパターニングする前の途中段階でテストプローブパッドを、全層拡散完了時にウェハを試験時、プロービングする最上位層のパッドを有し、途中段階のテスト用プローブパッドと最上位層のパッドが、パッド領域では電氣的に接続されていないため、全層メタル拡散時の製造不良を抑制することができる。

【0047】

また、メタルパターニング途中の歩留まり試験の結果を記録しておき、全層拡散後のテストではメタルパターニング途中の不良チップをテストしないことも可能とする。このようにすることにより、全層拡散後のテスト時間を短縮する効果を得られる。

【0048】

全層拡散後の製品を、メタルパターニング途中段階でウェハを試験する時に、プロービングによりパッドが損傷しても、全層拡散後の製品を試験する時に、パッド領域では、メタルパターニング途中段階のパッドと全層拡散後のパッドは接続されていないため、メタルパターニング途中段階のパッドの損傷が、全層拡散後の製品には影響を与えない。段階で使用するバッファを使用しないときは、3層パッドと同じ位置に5層パッドを設け、別のバッファに接続することによって、パッド領域を増やすことなく3層時のウェハ試験が可能となる。

【0049】

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の半導体集積回路のテスト方法のフローチャートである。

【図2】

本発明の第2の実施の形態の半導体集積回路のテスト方法のフローチャートである。

【図3】

本発明の第 3 の実施の形態に係る半導体集積回路の構成を示した模式図である。

【図 4】

本発明の第 3 の実施の形態に係る半導体集積回路の別の構成を示した模式図で、全ての 5 層メタルまでパターニング完了したレイアウト図である。

【図 5】

本発明の第 3 の実施の形態の半導体集積回路の 3 層メタル配線を使用してテストプローブポイント 1 0 2 を形成した段階で、I/O バッファ部（1 1 3、1 1 4、1 1 5）およびパッド部 1 0 2 を断面的に見た模式図である。

【図 6】

本発明の第 3 の実施の形態の半導体集積回路のユーザー回路構成領域 1 0 1 をカスタマイズし、5 層メタル配線を使用してパッド 2 0 2 を形成した段階で、I/O バッファ部（1 1 3、1 1 4、1 1 5）およびパッド部 2 0 2 を断面的に見た模式図である。

【図 7】

本発明の第 4 の実施の形態に係る半導体集積回路の構成を示した模式図である。

【図 8】

従来の半導体集積回路のテスト方法のフローチャートである。

【図 9】

従来の半導体集積回路の構成を示した模式図である。

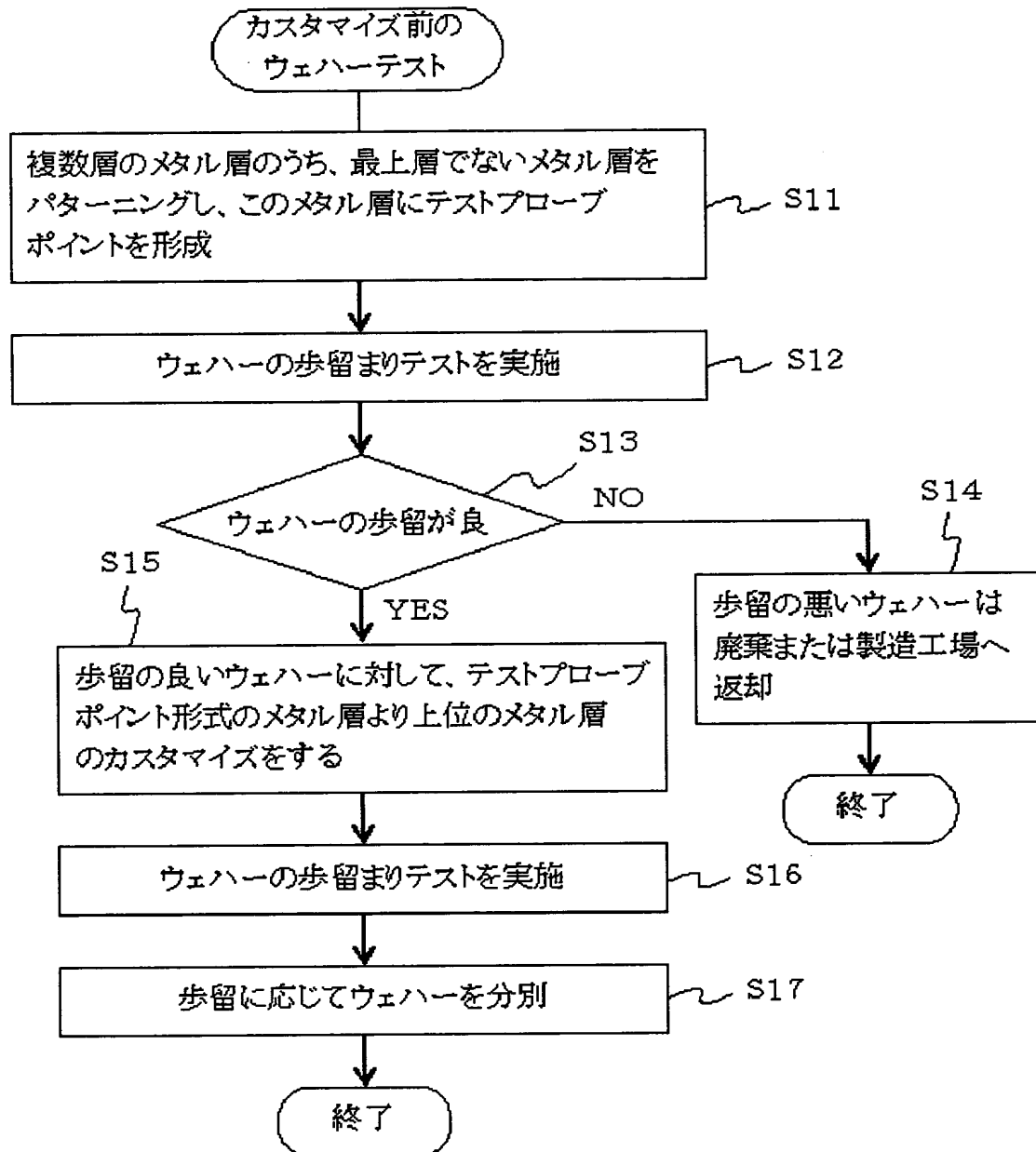
【符号の説明】

| | |
|----------------------------|------------|
| 1 0 0, 2 0 0, 3 0 0, 4 0 0 | 半導体集積回路チップ |
| 1 0 1 | カスタマイズ領域 |
| 1 0 2 | 3 層配線パッド |
| 1 0 3, 1 0 4, 1 0 5 | 3 層配線 |
| 1 1 3, 1 1 4, 1 1 5 | I/O バッファ部 |
| 2 0 2 | 5 層配線パッド |
| 2 0 3, 2 0 4, 2 0 5 | 5 層配線 |

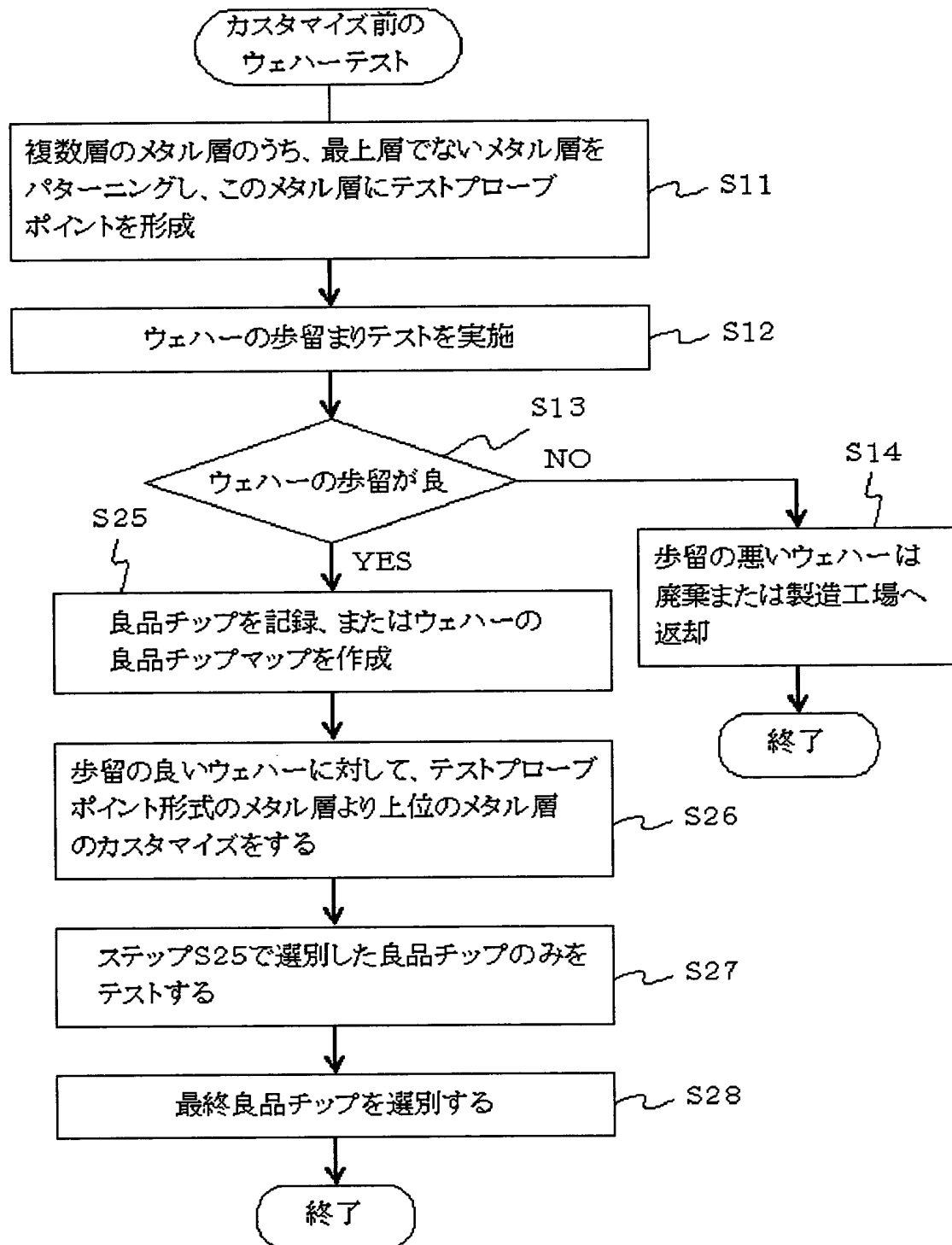
1 1 6, 2 1 6 V I Aホール
1 2 0, 2 2 0 テストプローブ
3 0 2 5層配線パッド
3 0 3, 3 0 4, 3 0 5 5層配線
3 1 3, 3 1 5 I/Oバッファ部
3 1 4 テストバッファ部
4 0 2 5層配線パッド
4 0 3, 4 0 4, 4 0 5 5層配線
4 1 3, 4 1 4, 4 1 5 I/Oバッファ部

【書類名】 図面

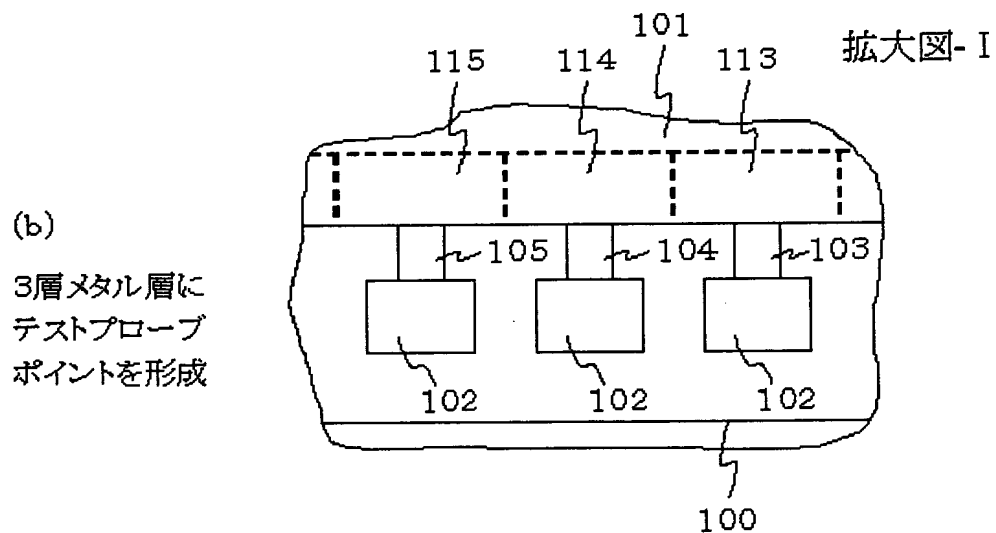
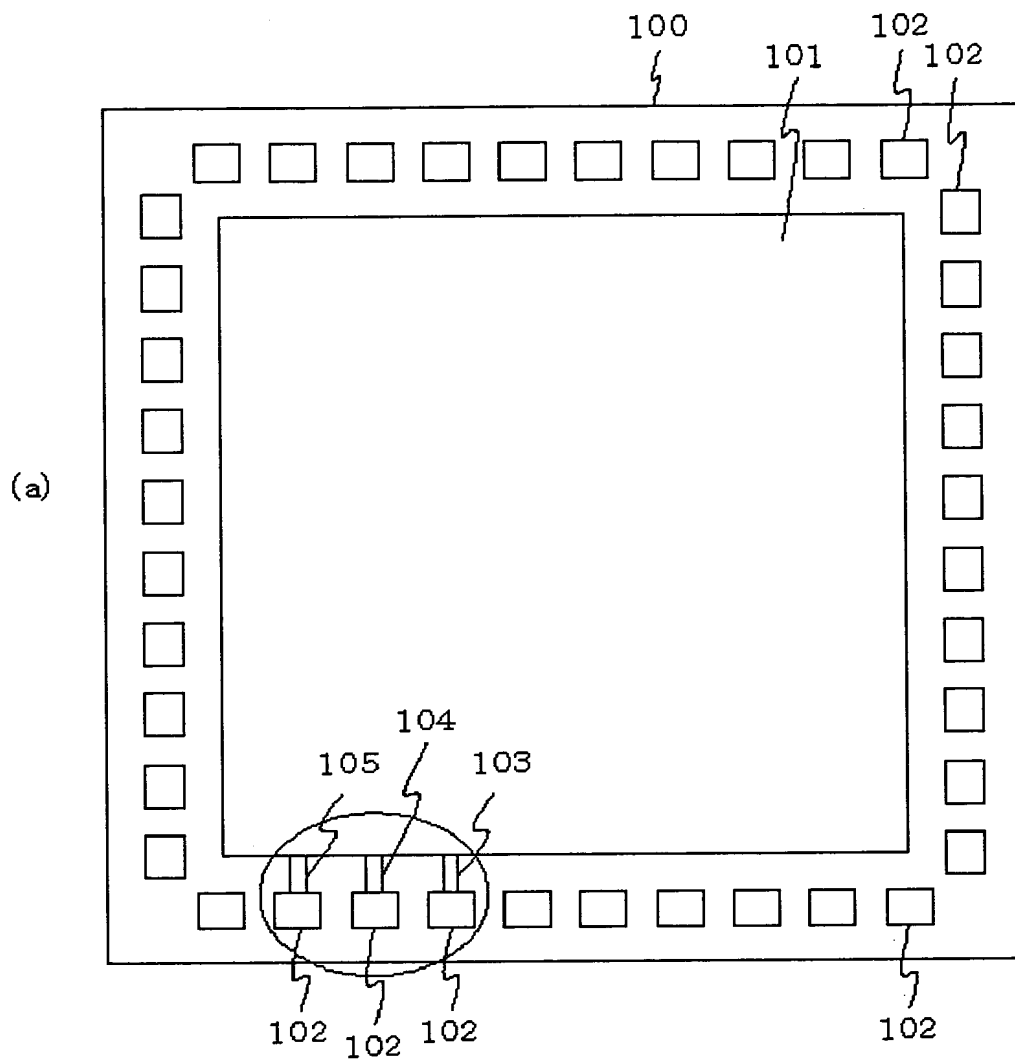
【図1】



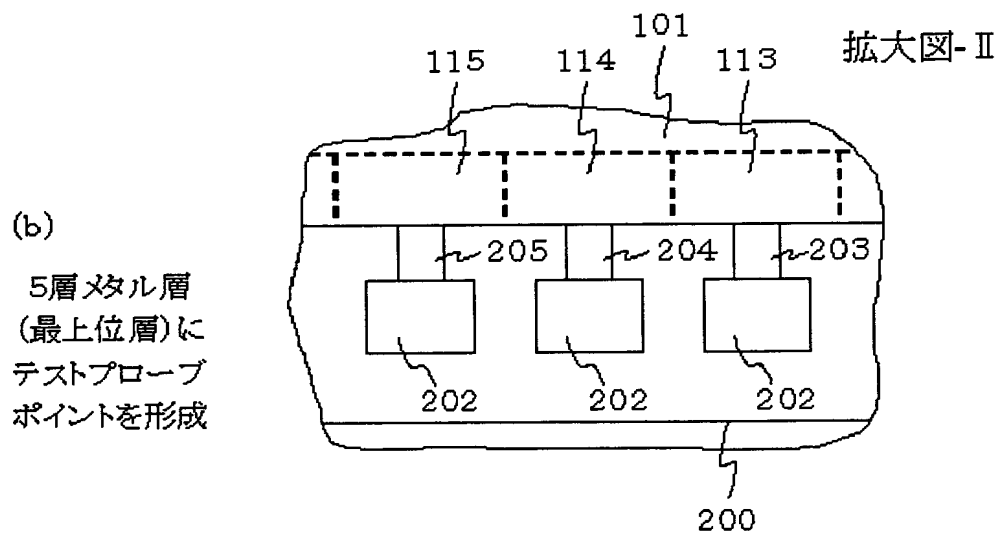
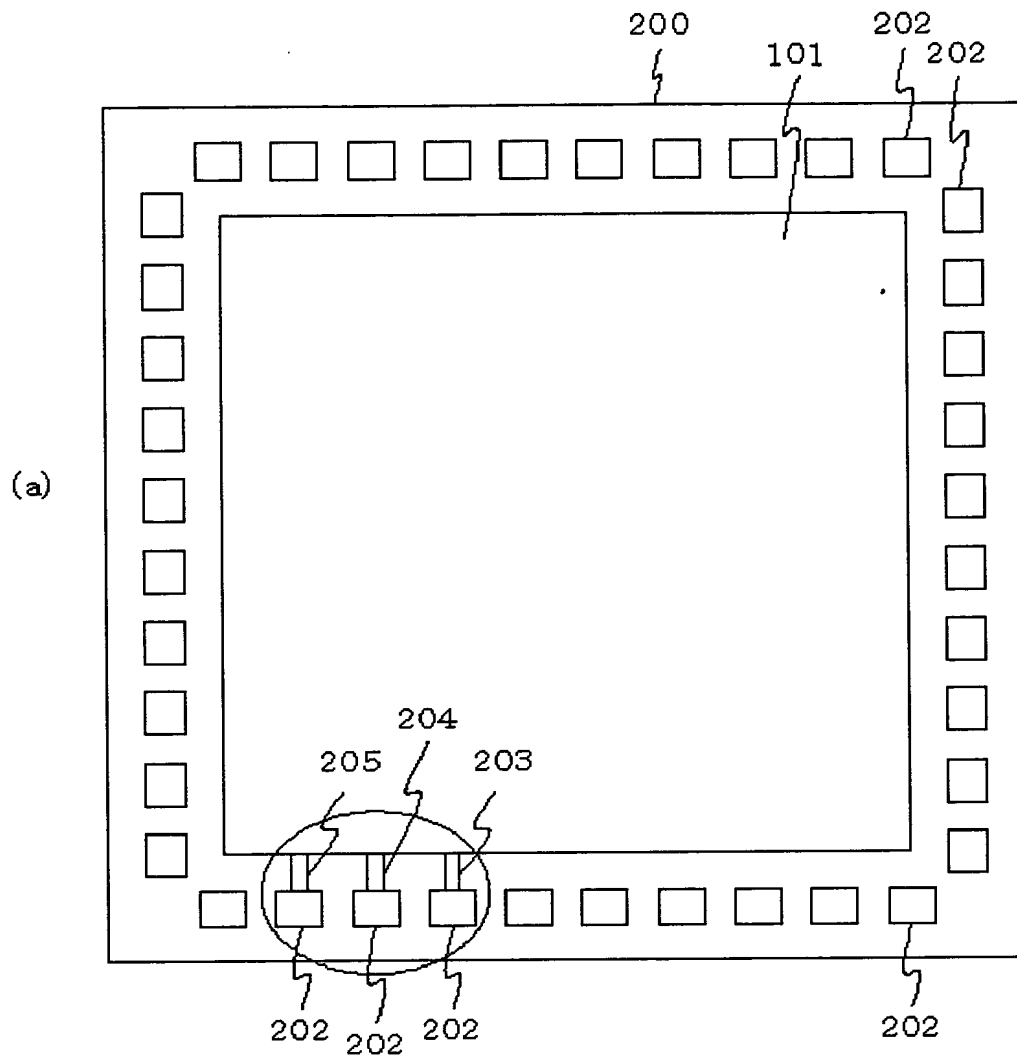
【図2】



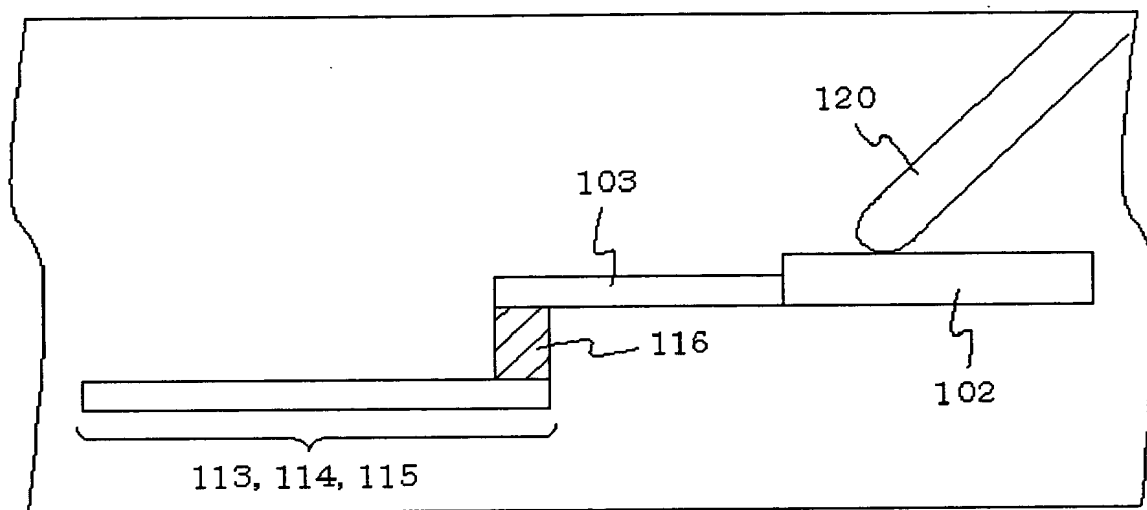
【図3】



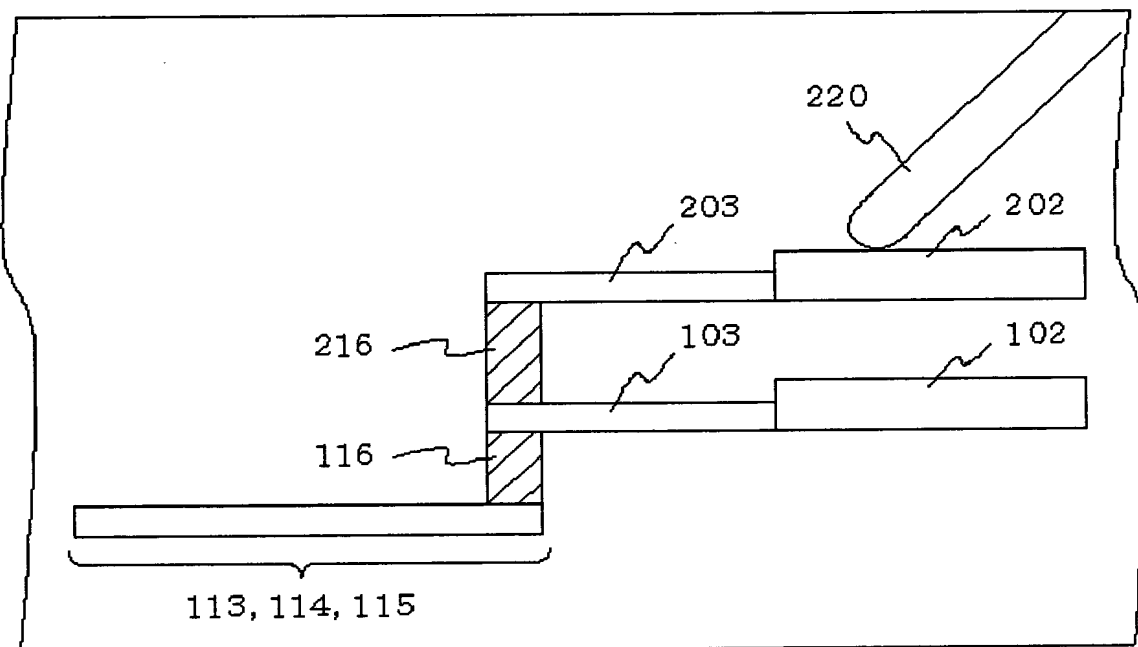
【図 4】



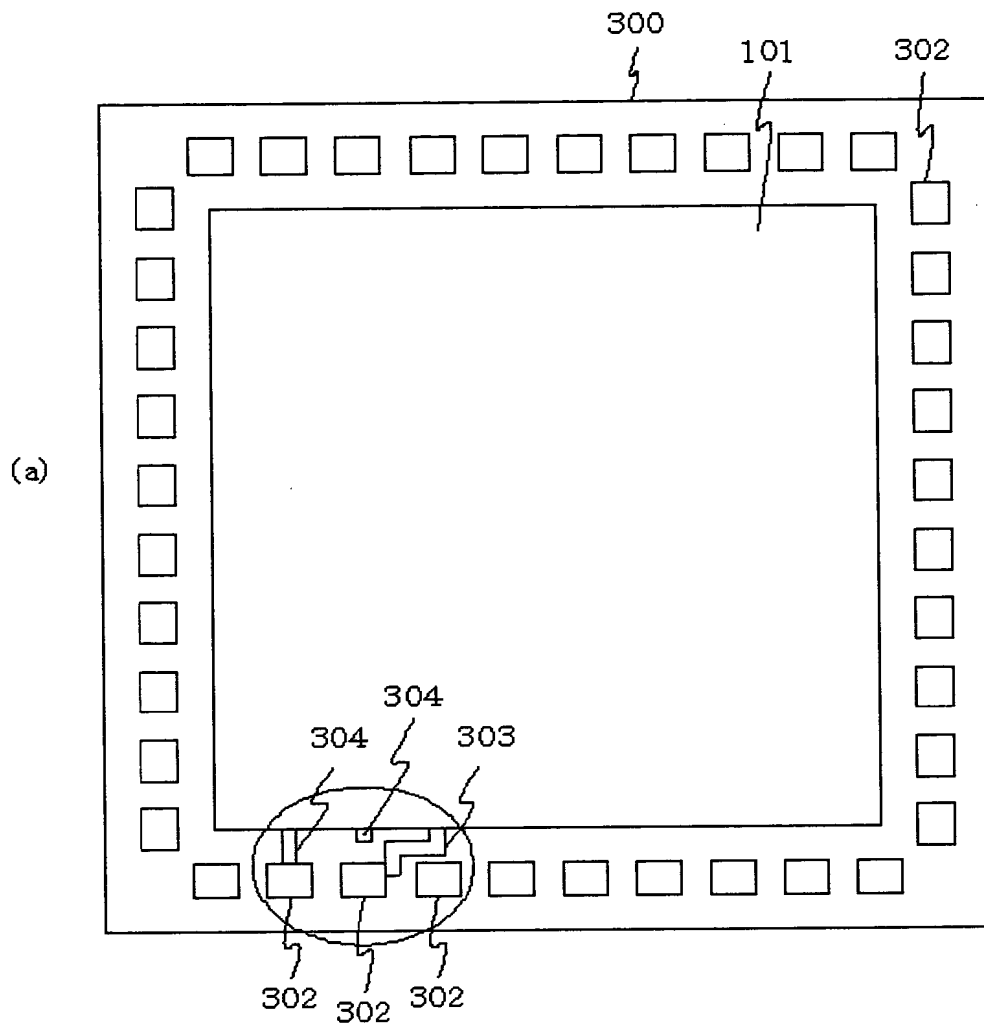
【図 5】



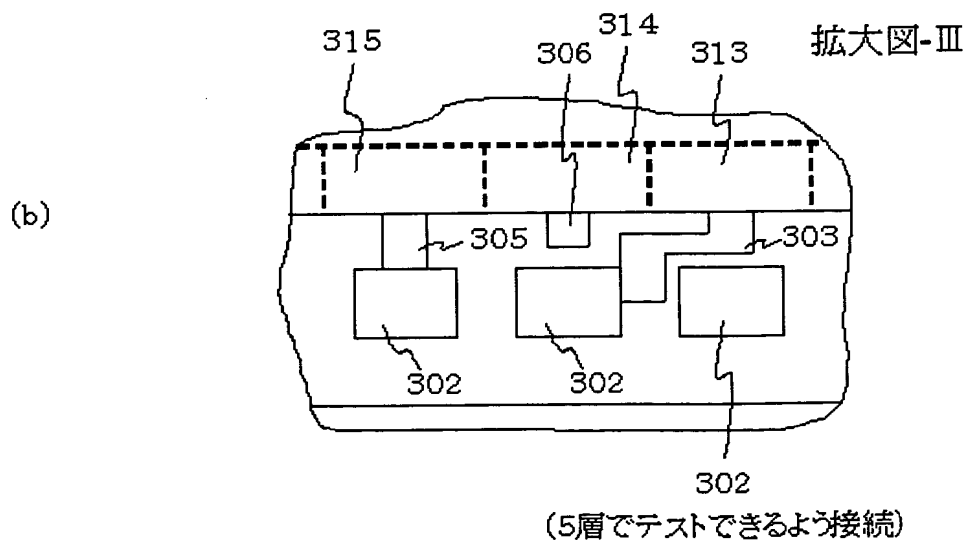
【図 6】



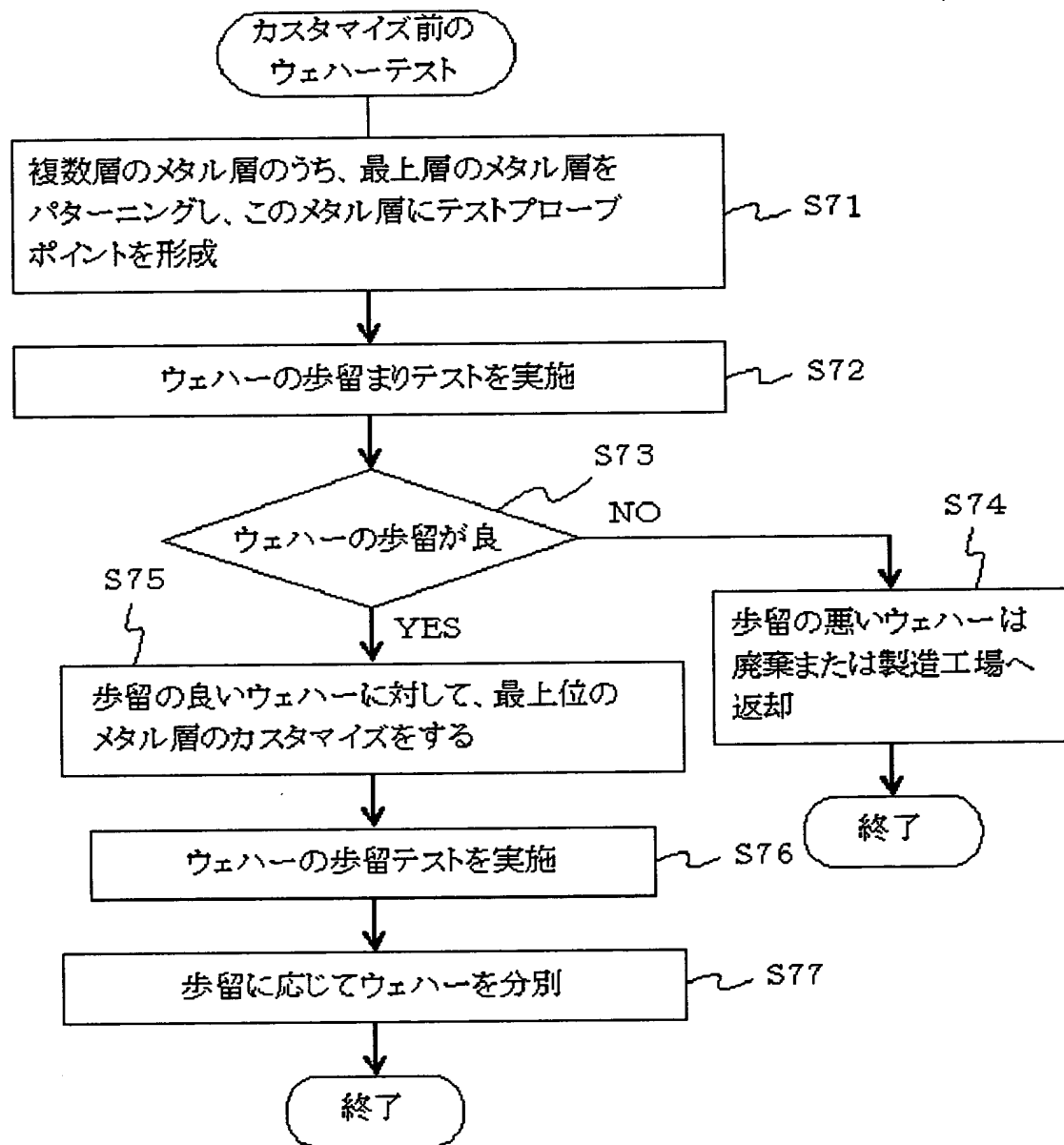
【図 7】



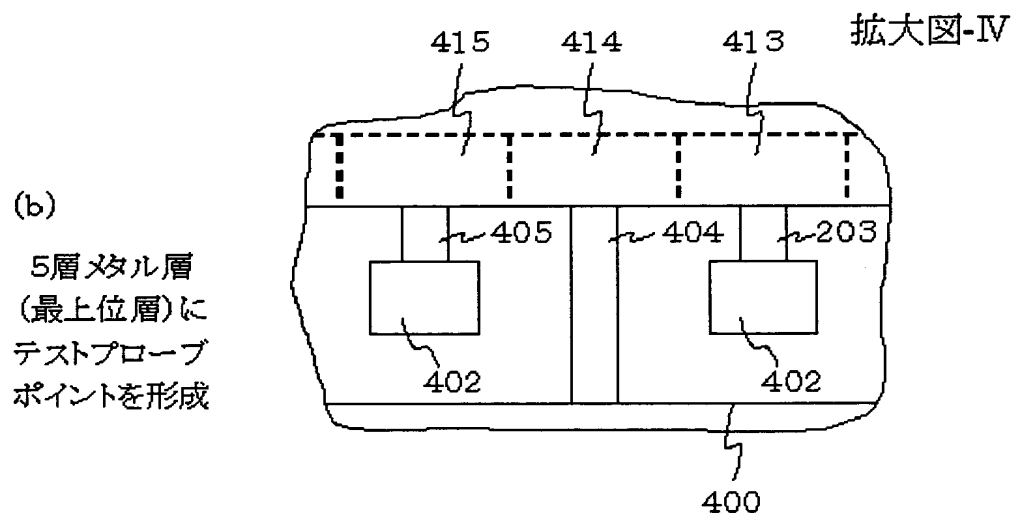
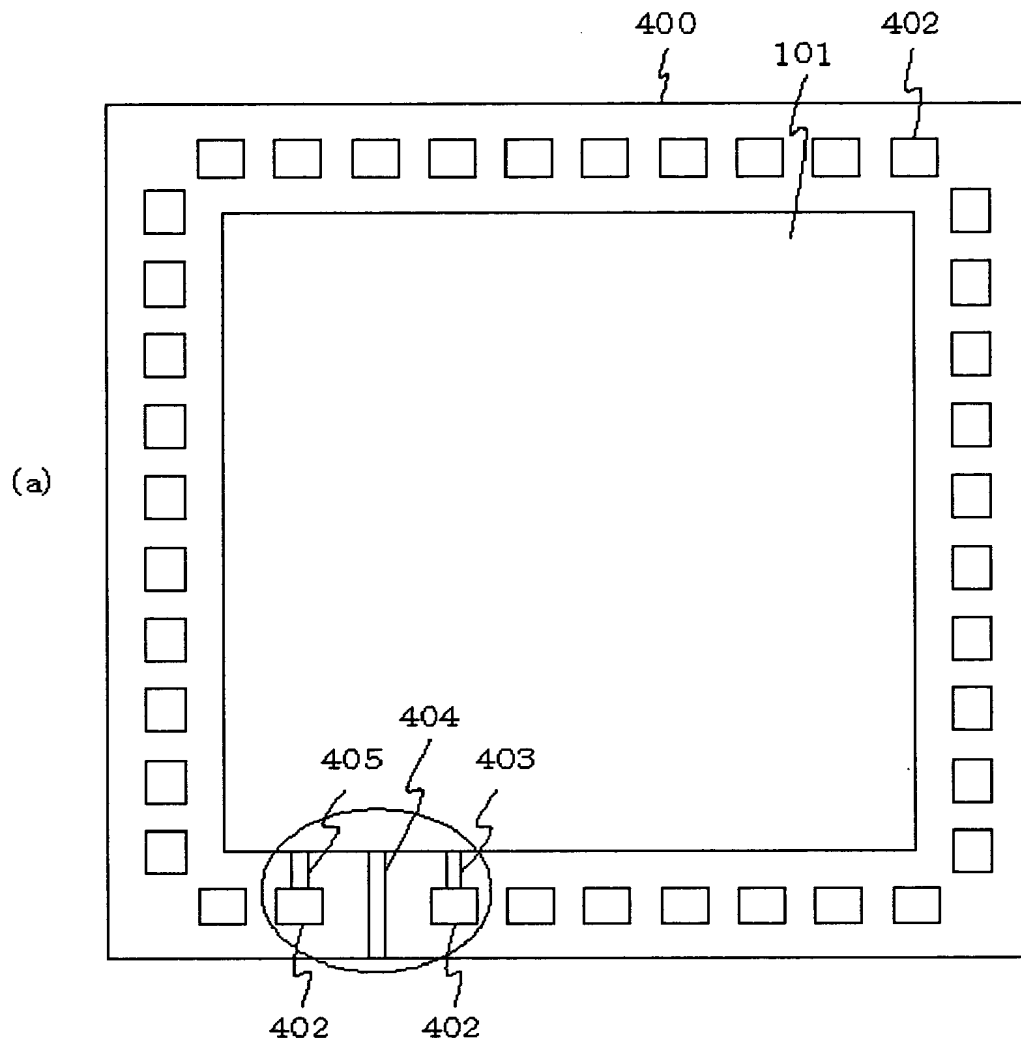
(テストバッファはopenにするかまたはGND/VDDに接続)



【図 8】



【図 9】



特 2 0 0 2 - 2 7 9 3 9 7

【書類名】 要約書

【要約】

【課題】メタル拡散工程の途中段階で、ウェハを試験するテスト手法及びテスト時に接続するパッドと全ての工程完了時に使用するパッドの層を変更し、パッドクラックによる信頼性劣化を防ぐ半導体集積回路およびそのテスト方法を提供する。

【解決手段】n層の製品をn層以下のm層段階でウェハを試験する時、m層段階でプロービングするm層のパッドを有し、かつn層拡散完了時にウェハを試験する時、n層段階でプロービングするn層のパッドを有し、m層とn層パッドが、パッド領域では電氣的に非接続である。

【選択図】 図1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 2 - 2 7 9 3 9 7 |
| 受付番号 | 5 0 2 0 1 4 3 3 2 2 9 |
| 書類名 | 特許願 |
| 担当官 | 田丸 三喜男 9 0 7 9 |
| 作成日 | 平成 1 4 年 9 月 2 7 日 |

<認定情報・付加情報>

| | |
|-------|-------------|
| 【提出日】 | 平成14年 9月25日 |
|-------|-------------|

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-279397

【承継人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【承継人代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月10日提出の特願2002-29761
2の出願人名義変更届（一般承継）に添付のものを援用
する。

【包括委任状番号】 0215753

【プルーフの要否】 要

認 定 ・ 付 加 情 報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 2 - 2 7 9 3 9 7 |
| 受付番号 | 5 0 3 0 0 2 0 6 7 0 5 |
| 書類名 | 出願人名義変更届（一般承継） |
| 担当官 | 田丸 三喜男 9 0 7 9 |
| 作成日 | 平成 1 5 年 2 月 2 0 日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 2月10日 |
|-------|-------------|

出 願 人 履 歴 情 報

識別番号 [000004237]

| | |
|----------|---------------|
| 1. 変更年月日 | 1990年 8月29日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都港区芝五丁目7番1号 |
| 氏 名 | 日本電気株式会社 |

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社